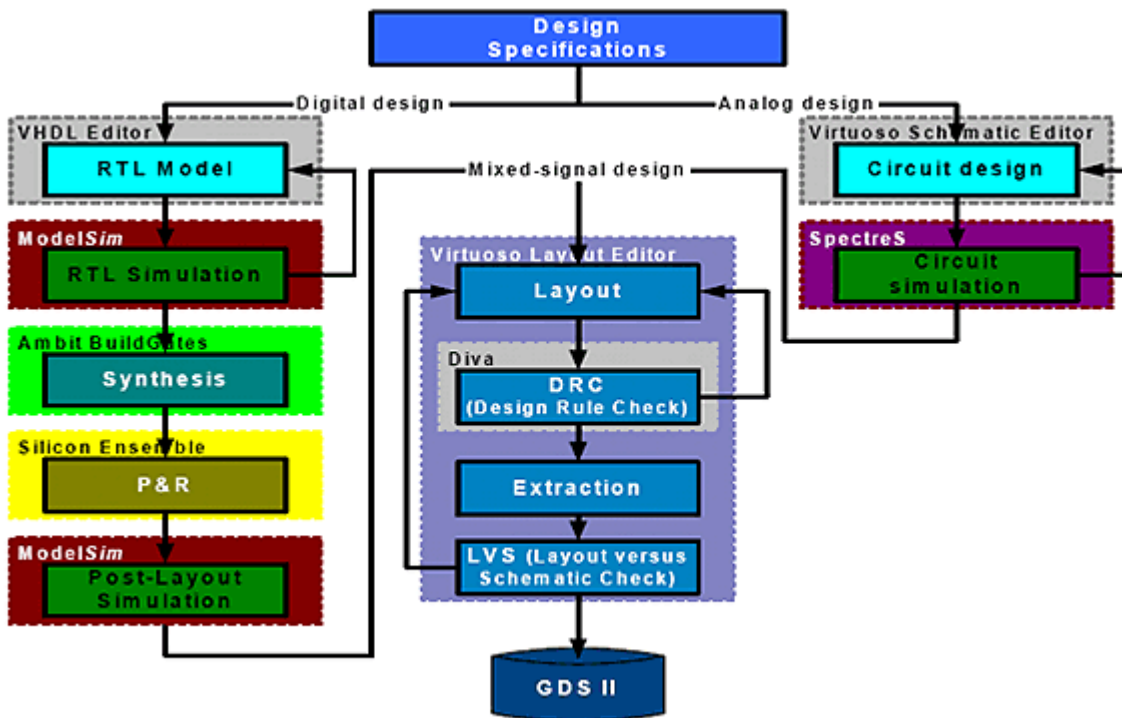


การออกแบบวงจรรวม (IC Fabrication)



วงจรรวม (IC) นั้นมีขั้นตอนการพัฒนาอยู่ 2 ส่วน ได้แก่ ส่วนของการออกแบบ และส่วนของการผลิต ตามที่กล่าวข้างต้น ในด้านการออกแบบนั้นดำเนินการโดยงานวิจัยออกแบบวงจรรวม และในส่วนของการผลิตนั้นดำเนินการโดยศูนย์ไมโครอิเล็กทรอนิกส์ (TMEC) และโรงงานผลิตในต่างประเทศ วิธีการออกแบบวงจรรวมจะมีทั้งแบบดิจิทัลล้วนๆ (Digital IC design) หรือแบบอะนาล็อกล้วนๆ (Analog IC design) หรือรวมทั้งสองแบบในเวลาเดียวกัน (Mixed signal IC design) ในกรณีที่ระบบมีความซับซ้อนสูงการออกแบบอาจใช้เทคนิค system-on-chip design ทั้งนี้ในขั้นตอนการออกแบบไอซีโดยทั่วไปสามารถแสดงได้ดังรูป



1. Design Entry

ผู้ออกแบบเริ่มต้นด้วยการกำหนดรายละเอียดหน้าที่การทำงานของวงจรรวมที่ตนต้องการ แล้วป้อนรายละเอียดนี้เข้าสู่คอมพิวเตอร์ ซึ่งสามารถทำได้โดยการวาดแผนภาพเค้าร่าง (schematic) ของวงจรโดยตรง หรือโดยการสร้างโปรแกรมในภาษาพรรณนาฮาร์ดแวร์

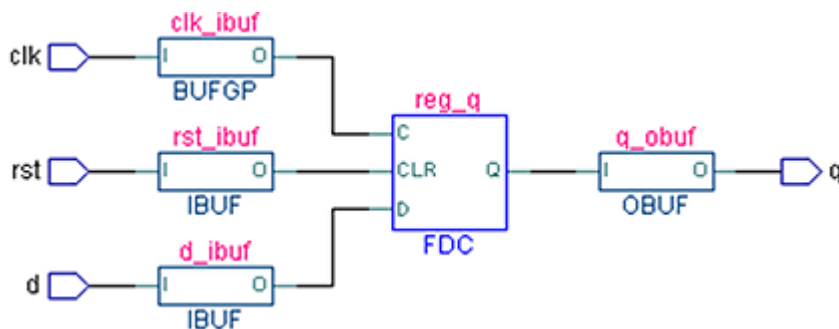
(Hardware Description Language: HDL) เช่นภาษา VHDL และภาษา Verilog แล้วให้คอมพิวเตอร์ทำการสังเคราะห์ (synthesis) แผนภาพเค้าร่างให้ การออกแบบในขั้นนี้เราสนใจเพียงพฤติกรรมของระบบที่เราออกแบบเท่านั้น

```
library ieee;
use ieee.std_logic_1164.all;
entity ff_reset is
  port (
    d      : in  std_logic; -- data input
    clk    : in  std_logic; -- clock
    rst    : in  std_logic; -- reset, active hi
    q      : out std_logic; -- output
  );
end entity ff_reset;

architecture rtl of ff_reset is
begin -- architecture rtl

  FF_Proc : process (clk, rst) is
  begin -- process FF_Proc
    if (rst = '1') then
      q <= '0';
    elsif (clk'event and clk = '1') then
      q <= d;
    end if;
  end process FF_Proc;
end architecture rtl;
```

รูปตัวอย่างการออกแบบโดยใช้ภาษา VHDL แล้วสังเคราะห์เป็นลอจิกเกต



2. Simulation

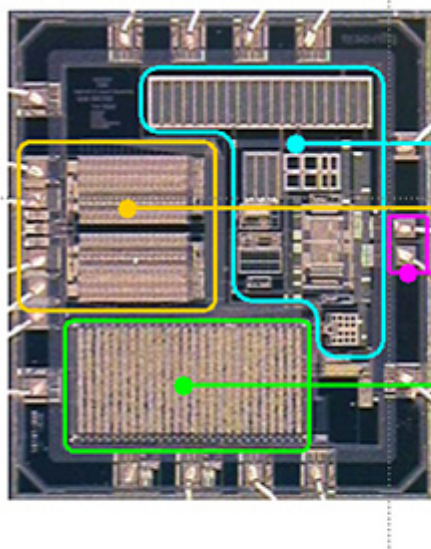
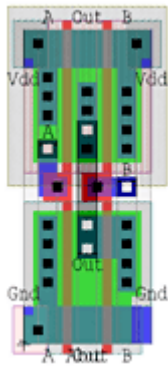
ผู้ออกแบบนำ schematic มาทำการจำลองการทำงาน (simulation) เพื่อตรวจสอบความถูกต้องของวงจรที่ออกแบบตามข้อมูลในเวกเตอร์ทดสอบ (test vector) ที่ผู้ออกแบบกำหนดไว้ โดยพิจารณาจากไดอะแกรมทางเวลา (timing diagram) และการจำลองความผิดพลาดที่เกิดขึ้น ผลจาก simulation จะถูกใช้ในการปรับปรุงแก้ไขวงจรให้ถูกต้อง ก่อนการออกแบบผังวงจรในขั้นตอนสุดท้าย

3. Physical Layout

ผู้ออกแบบนำแผนภาพเค้าร่าง (schematic) มาแปลงให้เป็นผังภูมิวงจรถดับกายภาพ ซึ่งจะใช้เป็นแบบที่จะถูกถ่ายทอดลงบนแผ่นเวเฟอร์ (แผ่นผลึกของสารกึ่งตัวนำซิลิกอน) ที่เตรียมเข้ากระบวนการเจือสารให้เป็นแผ่นวงจรรวมที่จะถูกตัดแบ่งเป็นชิปหลายตัว

ต่อไป การออกแบบผังวงจรมี 2 วิธีหลักๆ คือ

1. ระบบ Pre-Treatment เป็นระบบการทำความสะอาดน้ำเบื้องต้น เพื่อปรับน้ำดิบที่มีความกระด้างปะปนอยู่ให้เป็นน้ำอ่อน (Soft Water) โดยการกำจัดพวกของแข็งแขวนลอย ความขุ่น ตะกอน สารอินทรีย์ละลายและคลอรีน รวมทั้งอ๊อนต่างๆ
2. ระบบ Ultra Deionized (UDI) Water เป็นระบบการทำความสะอาดน้ำอ่อน (Soft Water) ให้เป็นน้ำที่มีความบริสุทธิ์สูง โดยทำการกำจัดอ๊อนต่างๆ ที่เหลือจากการทำความสะอาดน้ำเบื้องต้น อีกทั้งยังฆ่าจุลินทรีย์ที่ปะปนมากับน้ำ เพื่อให้ได้น้ำความบริสุทธิ์สูงตรงตามมาตรฐานในการผลิตวงจรรวม ซึ่งโดยปกติ ศูนย์ฯ สามารถผลิตน้ำสะอาดหรือ Ultra Deionized (UDI) Water ได้ถึง 3.5 ลูกบาศก์เมตรต่อชั่วโมง และมีความต้านทานไม่ต่ำกว่า 18 เมกะโอห์ม-เซนติเมตร



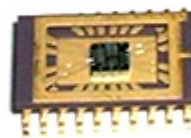
Technology: 0.8 μ m
Die size: 2.2x2.6 mm².

RF interface unit

64-bit OTP memory

RF pad

Baseband unit



Thailand IC Design Incubator (TIDI)

หลังการออกแบบผังวงจรเสร็จสิ้น ผู้ออกแบบจะใช้คอมพิวเตอร์ช่วยตรวจสอบว่าผังภูมิวงจร (layout) นั้นถูกต้องตามกฎการออกแบบ กฎทางไฟฟ้า และมีความผิดพลาดจากแผนภาพเค้าร่าง (schematic) หรือไม่ หากมีความผิดพลาดหรือผิดพลาด จุดผิดพลาดนั้นต้องได้รับการแก้ไข ก่อนส่งเพิ่มข้อมูลผังวงจรรวมไปให้โรงงานทำหน้ากาก (mask) สำหรับใช้ผลิตเป็นไมโครชิปต่อไป

เทคโนโลยีหลักที่ใช้ในการออกแบบและผลิตวงจรรวมนั้นได้แก่ เทคโนโลยี CMOS ซึ่งจะมีขนาดเล็กลงเรื่อยๆ ในส่วนของ TMEC นั้นแนวโน้มจะเน้นไปทาง low power/low voltage ซึ่งจะใช้งานทางด้านเซนเซอร์

ในส่วนอื่นของเทคโนโลยีที่ใช้พัฒนางจรรวมนั้นนอกจากการผลิตโดยใช้เทคโนโลยี CMOS แล้วยังสามารถพัฒนางจรโดยใช้เทคโนโลยีเอฟพีจีเอ (Field Programmable Gate Array) โดยการทดสอบต้นแบบวงจรบนบอร์ดพัฒนาก่อนที่จะออกแบบในระดับผังภูมิต่อไป เช่นบอร์ด Xilinx Spartan-3 รองรับวงจรได้ถึง 1.6 ล้านเกต และบอร์ดพัฒนาเอฟพีจีเอ Virtex-5

1. เครื่องมือและอุปกรณ์

เครื่องมือหลักที่จำเป็นในการดำเนินการวิจัยและพัฒนาได้แก่

1. คอมพิวเตอร์ความเร็วสูงสำหรับการออกแบบและจำลองวงจร ซึ่งทำงานอยู่บนระบบปฏิบัติการ Linux และ Solaris
2. ซอฟต์แวร์สำหรับออกแบบวงจรรวม (Electronic Design Automation: EDA) ประกอบด้วย Cadence IC Design Software, Xilinx FPGA Design, Tanner Tools
3. เครื่องมือวัดและทดสอบ
4. คิทเทคโนโลยีสำหรับการออกแบบ (Design kit) เช่นเทคโนโลยี CMOS 0.8/0.5/0.35/0.25/0.18um

บริการออกแบบไอซี (IC Design Services)

บริการออกแบบไอซี ให้คำปรึกษาในการออกแบบวงจร บุคลากรของศูนย์ จะให้ปรึกษาในด้านการออกแบบวงจรรวมต่างๆ การเลือกใช้ซอฟต์แวร์ที่เหมาะสมกับงานที่จะใช้ และรับออกแบบวงจร การจำลองวงจร การเขียนวงจรด้วยภาษาขั้นสูง VHDL/Verilog การสังเคราะห์วงจร และการทำต้นแบบด้วย FPGA

บริการช่องทางการทำต้นแบบไอซี (Thai Chip Prototype Services)

บริการช่องทางการทำต้นแบบไอซี ศูนย์จะช่วยดำเนินการในการติดต่อกับผู้ผลิตแผ่นวงจรรวม ซึ่งทางศูนย์มีข้อตกลงพิเศษกับบริษัทผู้ผลิตต่างๆ ทำให้สามารถทำต้นแบบวงจรรวมปริมาณต่ำได้ในราคาที่ต่ำลงมาก โดยการรวมแบบวงจรรวมจากหลายที่เข้าด้วยกัน และสร้างลงบนหน้ากากอันเดียวกัน เทคโนโลยีที่สามารถทำได้ได้แก่ CMOS, BiCMOS SiGe และ GaAs

ฝึกอบรมด้านการออกแบบไอซี

ฝึกอบรมด้านการออกแบบไอซี ศูนย์ได้จัดการฝึกอบรมหลักสูตร ด้านการออกแบบวงจรรวมต่างๆ เป็นประจำ เพื่อปูพื้นฐานในด้านการออกแบบวงจรรวม และเพิ่มพูนประสบการณ์ใหม่ๆ ให้กับนักออกแบบวงจรรวม โดยที่หลักสูตรที่จัดขึ้นครอบคลุม พื้นฐานการออกแบบวงจรรวม (IC Layout Design) การออกแบบวงจรด้วยภาษา VHDL และ Verilog การออกแบบวงจรด้วย FPGA การออกแบบวงจรรวมอะนาล็อก การจำลองอุปกรณ์กึ่งตัวนำและการจำลองกระบวนการผลิตอุปกรณ์กึ่งตัวนำ